

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DERWENT-ACC-NO: 1998-074045

DERWENT-WEEK: 200234

COPYRIGHT 2003 DERWENT INFORMATION LTD

*Nef #2*

TITLE: Semiconductor device e.g. IC - has pair of diffusion wiring layers arranged in parallel and perpendicular to substrate surface respectively, that are made of mutually different material

PRIORITY-DATA: 1996JP-0125758 (May 21, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 09312291 A	December 2, 1997		012	H01L021/3205
JP 3281260 B2	May 13, 2002		011	H01L021/768

INT-CL (IPC): H01 L 21/3205; H01 L 21/768

ABSTRACTED-PUB-NO: JP 09312291A

BASIC-ABSTRACT:

The device has a pair of electrode wiring layers (22,26) formed on a semiconductor substrate (21). Each electrode wiring layer is in contact with a pair of barrier layers (29,30). These diffusion barrier layers are arranged in parallel and perpendicular to the substrate surface respectively.

The material of these diffusion barrier layers is mutually different from each other. An electrically conductive material (28) is filled in a contact hole through which the two electrode wiring layers are connected to each other.

ADVANTAGE - Forms implanting wiring structure by using wiring material of low resistance without raising contact resistance. Ensures high speed operation.

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-312291**  
 (43)Date of publication of application : **02.12.1997**

(51)Int.CI.

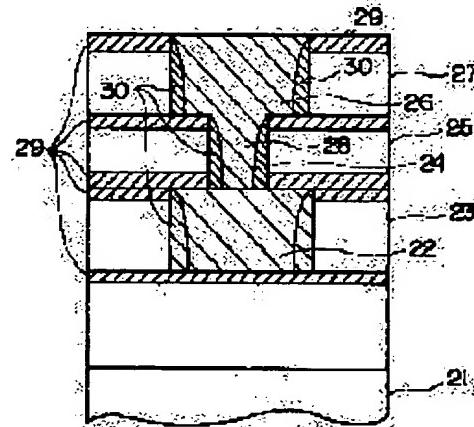
**H01L 21/3205**(21)Application number : **08-125758**(71)Applicant : **TOSHIBA CORP**(22)Date of filing : **21.05.1996**(72)Inventor : **KUNISHIMA IWAO**

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a high-speed operation by enabling formation of a buried wiring structure made of a wiring material having low resistance without increasing the contact resistance.

**SOLUTION:** With respect to each of electrode wiring layers 22, 26, a lateral side part substantially perpendicular to a substrate 21 and a lateral side part substantially parallel to the substrate 21 are in contact with diffusion barrier layers 29, 30 made of different materials. The inside of a contact hole 24 is filled by burying a conductive material 28 which is the same type as the material of the electrode wiring layers 22, 26. No diffusion barrier layer exists on the interface between the buried conductive material 28 and the electrode wiring layer 22.



### LEGAL STATUS

[Date of request for examination] **21.01.2000**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-312291✓

(43)公開日 平成9年(1997)12月2日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/3205

識別記号

府内整理番号

F I  
H 0 1 L 21/88

技術表示箇所

K

審査請求 未請求 請求項の数6 O.L (全12頁)

(21)出願番号 特願平8-125758

(22)出願日 平成8年(1996)5月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 國島 巍

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

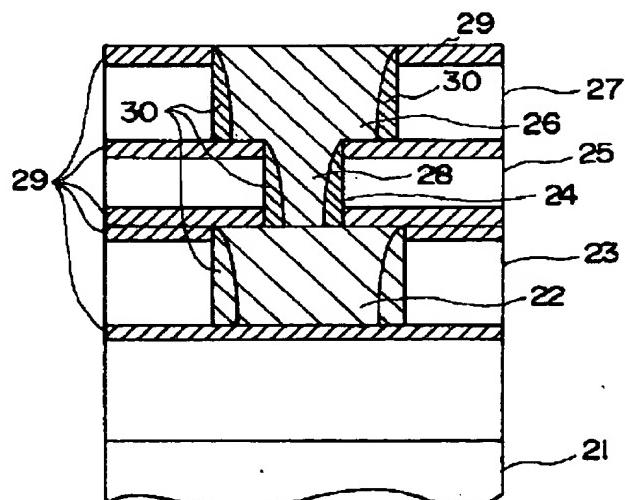
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 本発明は、コンタクト抵抗を上昇させずに低抵抗の配線材料による埋め込み配線構造を形成でき、もって、高速動作の実現を図る。

【解決手段】 各電極配線層(22, 26)としては、基板(21)に略垂直な側面部と基板に略平行な側面部とが互いに異なる材質の拡散障壁層(29, 30)に接しており、また、コンタクトホール24の内部が、電極配線層と同種の導電性材質(28)で埋込まれ、この埋め込まれた導電性材質と電極配線層(22)との界面に拡散障壁層が存在しない半導体装置及びその製造方法。



## 【特許請求の範囲】

【請求項1】 半導体基板上に複数層の電極配線層が形成され、対応する各電極配線層が互いにコンタクトホールを介して接続された構造を有する半導体装置において、

前記各電極配線層は、基板に略垂直な側面部と基板に略平行な側面部とが互いに異なる材質の拡散障壁層に接していることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記コンタクトホールの内部は、前記電極配線層と同種の導電性材質で埋込まれ、この埋め込まれた導電性材質と前記電極配線層との界面に前記拡散障壁層が存在しないことを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、前記拡散障壁層は、前記基板に略垂直な層及び前記基板に略平行な層のうち、いずれか一方又は両方が非晶質導電体にて形成されることを特徴とする半導体装置。

【請求項4】 半導体基板上に少なくとも上層及び下層の電極配線層が形成され、対応する各電極配線層がコンタクトホールを介して接続される構造を有する半導体装置の製造方法において、

第1の拡散障壁層を含む層間絶縁膜を前記下層の電極配線層上に形成する工程と、

前記上層の電極配線層を埋込み形成するための溝を前記第1の拡散障壁層を露出させるように前記層間絶縁膜に形成する工程と、

前記形成された溝と前記下層の電極配線層とを接続するためのコンタクトホールを前記層間絶縁膜に形成する工程と、

前記基板の全面に第2の拡散障壁層を堆積する工程と、前記第2の拡散障壁層を異方的にエッチングし、前記第2の拡散障壁層を前記溝並びに前記コンタクトホールの夫々側壁部にのみ残す工程と、

前記上層の電極配線層を前記溝及びコンタクトホール内に埋込み形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上に少なくとも上層及び下層の電極配線層が形成され、対応する各電極配線層がコンタクトホールを介して接続される構造を有する半導体装置の製造方法において、

前記下層の電極配線層上に層間絶縁膜を形成する工程と、

前記上層の電極配線層を埋込み形成するための溝を前記層間絶縁膜に形成する工程と、

前記形成された溝と前記上層の電極配線層とを接続するためのコンタクトホールを前記層間絶縁膜に形成する工程と、

前記基板の全面に第1の拡散障壁層を堆積する工程と、前記第1の拡散障壁層を異方的にエッチングし、前記第1の拡散障壁層を前記溝並びに前記コンタクトホールの

夫々側壁部にのみ残す工程と、

前記層間絶縁膜の上部及び前記溝の底部に第2の拡散障壁層を選択的に形成する工程と、

前記上層の電極配線層を前記溝及びコンタクトホール内に埋込み形成する工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項6】 請求項4又は請求項5に記載の半導体装置の製造方法において、

前記第1及び第2の拡散障壁層は、互いに異なる材質にて形成されることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、基板表面に複数層の電極配線層が埋込み形成される半導体装置及びその製造方法に係り、特に、各電極配線層の相互間に拡散障壁層を介在させず、低抵抗化を実現し得る半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 高集積回路における信頼性の高い電極配線構造を実現させる方法として、絶縁膜の電極配線形成部位に溝をエッチングにより形成し、配線金属となる導電性材質を基板全面に堆積して溝を配線金属で埋め込む、いわゆる埋め込み配線構造が提案されている。この埋め込み配線構造は、最近精力的に研究され始めている。

【0003】 配線金属となる導電性材質としては、これまでアルミニウムが用いられ、良好な電気特性を得られることが報告されている。このような埋め込み配線構造は、微細な電極配線間を後工程で埋め込む必要がないため、微細素子を容易に形成可能な利点を有する。

【0004】 しかしながら、最近、素子の動作性能向上させる観点から、配線金属となる導電性材質として銅が検討されており、これに伴い新たな問題が生じている。すなわち、銅は酸化膜中にて容易に拡散するため、前述した方法で銅の埋め込み配線を形成した場合、後の熱工程にて銅が層間絶縁膜中に拡散してデバイスの信頼性を低下させる問題がある。このため、銅の埋め込み配線を形成するに先立ち、チタン窒化膜などの拡散障壁層を基板全面に形成する技術が検討されている。

【0005】 図14乃至図16は係る技術を用いた半導体装置の製造方法を模式的に示す工程断面図である。素子の形成された基板1は、図14(a)に示すように、上部に絶縁膜2が堆積されており、この絶縁膜2に配線用の溝3が形成される。溝3の形成後、図14(b)に示すように、CVD法により、全面に窒化チタン(TiN)膜4が堆積される。次に、図14(c)に示すように、スピッタリング法により、全面に銅膜5が堆積され、かかる後、図14(d)に示すように、エッチング法により、上面の銅膜5がエッチング除去され、下層の電極配線層5aが形成される。

【0006】次に、図14(e)に示すように、上面に露出した窒化チタン膜4がエッチング除去され、図15(f)に示すように、全面にシリコン窒化(SiN)膜6及びSiO<sub>2</sub>基板7が順次堆積される。

【0007】次に、図15(g)に示すように、上層配線層を形成するための溝8とコンタクトホール9が形成され、かかる後、図15(h)に示すように、全面に窒化チタン膜(拡散障壁層)10が堆積される。続いて、図16(i)に示すように、全面に銅膜11が堆積され、さらに、図16(j)に示すように、エッチバック法により、上面の銅膜11が除去されて上層の電極配線層12が形成される。

【0008】しかしながら、本発明者らの最近の検討によれば、このような拡散障壁層を形成する技術を用いて多層の配線構造を形成した場合、次の(A)(B)に示すような問題が明らかになり始めた。

(A) すなわち、上層の電極配線層を形成する際に、上層の電極配線層よりも先行して拡散障壁層を形成するので、図16(j)に示すように、下層の電極配線層5と上層の電極配線層12とのコンタクト部に拡散障壁層が介在し、これにより、コンタクト抵抗が上昇してしまう問題がある。

(B) この結果、配線金属として低抵抗の銅を用いたにも関わらず、配線経路の総抵抗値が著しく上昇し、LSI素子の所望の高速動作が実現不可となる問題がある。

#### 【0009】

【発明が解決しようとする課題】以上のように、拡散障壁層を必要とする配線金属を用いて埋め込み配線を形成する場合、上層の電極配線層と下層の電極配線層との界面に拡散障壁層が介在してコンタクト抵抗を上昇させ、LSI素子の所望の高速動作を実現不可とさせる問題がある。

【0010】本発明は上記実情を考慮してなされたもので、コンタクト抵抗を上昇させずに低抵抗の配線材料による埋め込み配線構造を形成でき、もって、高速動作を実現し得る半導体装置及びその製造方法を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】請求項1に対応する発明は、半導体基板上に複数層の電極配線層が形成され、対応する各電極配線層が互いにコンタクトホールを介して接続された構造を有する半導体装置において、前記各電極配線層としては、基板に略垂直な側面部と基板に略平行な側面部とが互いに異なる材質の拡散障壁層に接している半導体装置である。

【0012】また、請求項2に対応する発明は、請求項1に対応する半導体装置において、前記コンタクトホールの内部としては、前記電極配線層と同種の導電性材質で埋込まれ、この埋め込まれた導電性材質と前記電極配線層との界面に前記拡散障壁層が存在しない半導体装置

である。

【0013】さらに、請求項3に対応する発明は、請求項1に対応する半導体装置において、前記拡散障壁層としては、前記基板に略垂直な層及び前記基板に略平行な層のうち、いずれか一方又は両方が非晶質導電体にて形成される半導体装置である。

【0014】なお、上記拡散障壁層における基板と略垂直な層は、前記コンタクトホールの内部に設けられるものと前記電極配線層に設けられるものとで互いに同質の材質を使用する方が工程の簡略化の観点から好ましい。

【0015】また、請求項4に対応する発明は、半導体基板上に少なくとも上層及び下層の電極配線層が形成され、対応する各電極配線層がコンタクトホールを介して接続される構造を有する半導体装置の製造方法において、第1の拡散障壁層を含む層間絶縁膜を前記下層の電極配線層上に形成する工程と、前記上層の電極配線層を埋込み形成するための溝を前記第1の拡散障壁層を露出させるように前記層間絶縁膜に形成する工程と、前記形成された溝と前記下層の電極配線層とを接続するための20コンタクトホールを前記層間絶縁膜に形成する工程と、前記基板の全面に第2の拡散障壁層を堆積する工程と、前記第2の拡散障壁層を異方的にエッチングし、前記第2の拡散障壁層を前記溝並びに前記コンタクトホールの夫々側壁部にのみ残す工程と、前記上層の電極配線層を前記溝及びコンタクトホール内に埋込み形成する工程とを含んでいる半導体装置の製造方法である。

【0016】さらに、請求項5に対応する発明は、半導体基板上に少なくとも上層及び下層の電極配線層が形成され、対応する各電極配線層がコンタクトホールを介して接続される構造を有する半導体装置の製造方法において、前記下層の電極配線層上に層間絶縁膜を形成する工程と、前記上層の電極配線層を埋込み形成するための溝を前記層間絶縁膜に形成する工程と、前記形成された溝と前記上層の電極配線層とを接続するためのコンタクトホールを前記層間絶縁膜に形成する工程と、前記基板の全面に第1の拡散障壁層を堆積する工程と、前記第1の拡散障壁層を異方的にエッチングし、前記第1の拡散障壁層を前記溝並びに前記コンタクトホールの夫々側壁部にのみ残す工程と、前記層間絶縁膜の上部及び前記溝の40底部に第2の拡散障壁層を選択的に形成する工程と、前記上層の電極配線層を前記溝及びコンタクトホール内に埋込み形成する工程とを含んでいる半導体装置の製造方法である。

【0017】また、請求項6に対応する発明は、請求項4又は請求項5に対応する半導体装置の製造方法において、前記第1及び第2の拡散障壁層としては、互いに異なる材質にて形成される半導体装置の製造方法である。

【0018】従って、請求項1に対応する発明は以上の50ような手段を講じたことにより、各電極配線層として、基板に略垂直な側面部と基板に略平行な側面部とが

互いに異なる材質の拡散障壁層に接しているので、例えば異方性エッティングを用いることにより、コンタクト抵抗を上昇させずに低抵抗の配線材料による埋め込み配線構造を形成でき、もって、高速動作を実現させることができる。

【0019】また、請求項2に対応する発明は、コンタクトホールの内部が、電極配線層と同種の導電性材質で埋込まれ、この埋め込まれた導電性材質と電極配線層との界面に拡散障壁層が存在しないので、導電性材質と下層の電極配線層とが直接接続されることにより低抵抗化を実現でき、請求項1の作用と同様の作用を奏することができる。

【0020】さらに、請求項3に対応する発明は、拡散障壁層が、基板に略垂直な層及び基板に略平行な層のうち、いずれか一方又は両方が非晶質導電体にて形成されるので、請求項1の作用と同様の作用に加え、導電性材質の絶縁膜中への拡散を阻止しつつ非晶質導電体を電極配線としても使用できるので、より低抵抗化を図ることができます。

【0021】また、請求項4に対応する発明は、第1の拡散障壁層を含む層間絶縁膜を下層の電極配線層上に形成する工程と、上層の電極配線層を埋込み形成するための溝を第1の拡散障壁層を露出させるように層間絶縁膜に形成する工程と、形成された溝と前記下層の電極配線層とを接続するためのコンタクトホールを層間絶縁膜に形成する工程と、基板の全面に第2の拡散障壁層を堆積する工程と、第2の拡散障壁層を異方向にエッティングし、第2の拡散障壁層を溝並びにコンタクトホールの夫々側壁部にのみ残す工程と、上層の電極配線層を溝及びコンタクトホール内に埋込み形成する工程とを含んでいくので、請求項1の作用と同様の作用に加え、容易且つ確実に実施することができる。

【0022】さらに、請求項5に対応する発明は、下層の電極配線層上に層間絶縁膜を形成する工程と、上層の電極配線層を埋込み形成するための溝を層間絶縁膜に形成する工程と、形成された溝と上層の電極配線層とを接続するためのコンタクトホールを前記層間絶縁膜に形成する工程と、基板の全面に第1の拡散障壁層を堆積する工程と、第1の拡散障壁層を異方向にエッティングし、第1の拡散障壁層を溝並びにコンタクトホールの夫々側壁部にのみ残す工程と、層間絶縁膜の上部及び溝の底部に第2の拡散障壁層を選択的に形成する工程と、上層の電極配線層を溝及びコンタクトホール内に埋込み形成する工程とを含んでいくので、請求項1の作用と同様の作用に加え、層間絶縁膜中に拡散障壁層を含まずに各電極配線層の周囲のみに拡散障壁層を形成できるので、より一層容易且つ確実に実施することができる。

【0023】また、請求項6に対応する発明は、請求項4又は請求項5に対応する第1及び第2の拡散障壁層としては、互いに異なる材質にて形成されるので、請求項

4又は請求項5の作用と同様の作用を奏することができる。

#### 【0024】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。図1は本発明の第1の実施の形態に係る半導体装置の構成を模式的に示す断面図である。この半導体装置は、素子の形成された半導体基板21上に下層の電極配線層22を含む層間絶縁層23を有し、下層の電極配線層22上にコンタクトホール10を含む層間絶縁膜25を有し、コンタクトホール24上に上層の電極配線層26を含む層間絶縁膜27を有し、且つ下層の電極配線層22がコンタクトホール25を介して上層の電極配線層26に接続された埋込み配線構造を備えている。

【0025】ここで、コンタクトホール24の内部は、各電極配線層22、26と同種の導電性材質28で埋込まれている。後述するが、コンタクトホール24に埋込まれた導電性材質28と下層の電極配線層22との界面には拡散障壁層が存在せず、当該導電性材質28と下層の電極配線層22とは直接接続されている。

【0026】一方、コンタクトホール24の内部並びに下層及び上層の電極配線層22、26における導電性材質28と層間絶縁層23、25、27との間には、当該導電性材質28の層間絶縁層23、25、27中への拡散を阻止するための拡散障壁層29、30が介在して設けられている。

【0027】拡散障壁層29、30は、基板21に略垂直な層30と基板に略平行な層29とが互いに異なる材質にて形成されており、夫々コンタクトホール24内の導電性材質28並びに下層及び上層の電極配線層22、26に接している。

【0028】基板21に略垂直な拡散障壁層30は、異方性エッティングにて垂直成分が残留することを利用して形成されており、基板21に略平行な拡散障壁層29よりもエッティングレートの高い材質が使用される。

【0029】基板21に略平行な拡散障壁層29は、異方性エッティングにて基板21に略垂直な拡散障壁層30が形成されるときの層間絶縁膜23、25、27の保護層として用いられ、当該異方性エッティングにおけるエッティングレートの低い材質が使用される。

【0030】次に、このような半導体装置の製造方法を図2乃至図4の工程断面図を用いて説明する。なお、以下の説明中、シリコン窒化膜(SiN)は、基板に略平行な拡散障壁層29に相当し、WSiN膜は、基板に略垂直な拡散障壁層30に相当する。

【0031】いま、図2(a)に示すように、(001)面を正面とするn型シリコン基板31上にCVD法により層間絶縁膜として約1μm厚のSiO<sub>2</sub>膜32が堆積された後、全面に約100nm厚のシリコン窒化膜50が堆積される。さらに、CVD法により、シリコン

塗化膜33上にSiO<sub>2</sub>膜34及びシリコン塗化膜35が順次堆積される。

【0032】次に、周知の写真触刻法と反応性イオンエッティング法(RIE)により、図2(b)に示すように、SiO<sub>2</sub>膜34及びシリコン塗化膜35の配線形成領域に溝36が形成される。シリコン塗化膜34及びSiO<sub>2</sub>膜35のエッティングには2ステップエッティング法が使用される。

【0033】ここで、SiO<sub>2</sub>膜34が完全にエッティングされた時点において、エッティングレートの低いシリコン塗化膜33が露出されるため、オーバーエッティングを行なっても溝36が過度に掘られることなく、溝36の形状を均一に加工することができる。

【0034】次に、図2(c)に示すように、CVD法により、全面にWSiN膜37が均一に堆積される。しかる後、塩素ガスを用いたRIEにより、基板全面が異方性エッティングされる。この結果、図2(d)に示すように、溝36内部の側壁部にのみWSiN膜37aが形成される。この場合も前述同様に、溝36の底部のWSiN膜37がエッティング除去されると底部にシリコン塗化膜33が露出され、エッティングの進行が阻止されるため、オーバーエッティングを行なっても溝の形状が劣化することなく、基板全面にわたって均一な加工形状が得られる。その後、CVD法により、全面に銅(Cu)膜が堆積されて溝36が埋込まれる。

【0035】溝36の埋込みの後、図3(e)に示すように、化学的機械研磨(CMP)法により上面部の銅層が除去され、下層の電極配線層38が形成される。このとき、シリコン塗化膜35によりSiO<sub>2</sub>膜34のエッティングが阻止されるため、平坦な上部をもつ良好な下層の電極配線層38が形成される。

【0036】次に、図3(f)に示すように、CVD法により、全面にシリコン塗化膜39、SiO<sub>2</sub>膜40、シリコン塗化膜41、SiO<sub>2</sub>膜42及びシリコン塗化膜43が順次堆積される。これらSiO<sub>2</sub>膜40、42及びシリコン塗化膜39、41、43の多層膜には、写真触刻法及びRIEにより、上層の溝配線領域及び下層とのコンタクトホールが形成される。しかる後、図3(g)に示すように、CVD法によりWSiN膜44が基板全面に堆積される。

【0037】次に、図4(h)に示すように、塩素ガスを用いたRIEにより、基板全面が異方性エッティングされ、溝45及びコンタクトホール46の内部の側壁部にのみWSiN膜44aが形成される。

【0038】次に、図4(i)に示すように、下層の電極配線層38の場合と同様に、CVD法により、銅膜が全面に堆積され、溝45及びコンタクトホール46が銅膜にて埋込まれた後、CMP法により、上面部の銅膜が除去されて上層の電極配線層47が形成される。このとき、同時に上層の電極配線層47と下層の電極配線層3

8との電気的な接続が完了される。

【0039】以下、同様の方法を繰り返すことにより、2層以上の埋込み配線構造を容易に実現させることができる。上述したように第1の実施の形態によれば、コンタクトホール46の内部が、電極配線層38と同種の導電性材質で埋込まれ、この埋め込まれた導電性材質と電極配線層38との界面に拡散障壁層が存在しないので、導電性材質と下層の電極配線層38とが直接接続されることにより、コンタクト抵抗を上昇させず、素子抵抗を低下させないから、LSI素子の所望の高速動作を実現させることができる。

【0040】さらに、拡散障壁層33、35、37a、39、41、43、44aは、基板に略垂直な層37a、44aと基板に略平行な層33、35、39、41、43とが互いに異なる材質にて形成されているので、拡散障壁層の不要な部分をエッティング除去する場合(略垂直な層37a、44aの形成のとき)にエッティングの選択比を十分得ることが容易であり、例えば8インチ以上の大口径の半導体基板を用いて素子を形成する場合でも均一性の良好な加工を行なうことができる。

【0041】また、拡散障壁層の存在により、前述した埋込み配線構造の形成後に基板全面が700°C以上の高温熱工程にさらされても、銅配線がSiO<sub>2</sub>膜32、34、40、42中に拡散せず、良好な素子性能を得ることができる。

【0042】また、拡散障壁層を全て自己整合的に形成できるので、写真触刻工程を用いる必要がなく、工程数を最小に抑制でき、もって、高性能の素子を低コストで形成することができる。

【0043】次に、本発明の第2の実施の形態に係る半導体装置について説明する。図5はこの半導体装置の構成を示す断面図であり、図1と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。

【0044】すなわち、本実施の形態装置は、第1の実施の形態の変形例であり、具体的には、第1の配線電極層22に接して基板21と略平行な拡散障壁層29aがイオン注入により形成され、拡散障壁層の層数が低減された埋込み配線構造となっている。

【0045】次に、このような半導体装置の製造方法を図6乃至図8の工程断面図を用いて説明する。なお、以下の説明中、アルミナ(A<sub>1</sub><sub>2</sub>O<sub>3</sub>)膜は、下層の電極配線層に関しては基板と略平行な拡散障壁層に相当し、コンタクトホール及び上層の電極配線層に関しては基板と略垂直な拡散障壁層に相当する。シリコン塗化膜及びニオブのイオン注入層は、基板と略平行な拡散障壁層に相当する。

【0046】いま、図6(a)に示すように、トランジスタ構造の形成された半導体基板51上にSiO<sub>2</sub>膜52が堆積され、周知の写真触刻技術及びRIE法によ

り、 $\text{SiO}_2$  膜 5 2 上に配線形成用の溝が形成される。しかる後、全面にアルミニウム (A 1) イオン 5 3 が注入され、 $\text{SiO}_2$  膜 5 2 の表面がアルミナ膜 5 4 に変換される。

【0047】次に、図 6 (b) に示すように、全面にシリコン窒化膜 5 5 が堆積され、RIE 法により、全面が異方性エッチングされる。この結果、図 6 (c) に示すように、溝の側壁部にのみシリコン窒化膜 5 5 a が形成される。

【0048】次に、図 7 (d) に示すように、CVD 法により、全面に銅膜 5 6 が堆積されて溝が完全に埋込まれ、図 7 (e) に示すように、CMP 法により、上面部の銅膜 5 6 が除去されて下層の電極配線層 5 7 が形成される。

【0049】かかる後、図 7 (f) に示すように、基板全面にニオブ (Nb) イオン 5 8 が注入され、銅配線の表面に拡散障壁層 5 8 a が形成される。続いて、図 7 (g) に示すように、 $\text{SiO}_2$  膜 5 9、シリコン窒化膜 6 0、 $\text{SiO}_2$  膜 6 1、シリコン窒化膜 6 2 が順次堆積される。これら多層膜には、図 7 (h) に示すように、写真触刻法及び RIE により、上層の溝配線領域 6 3 及び下層とのコンタクトホール 6 4 が形成される。

【0050】次に、図 8 (i) に示すように、CVD 法により、全面にアルミナ膜 6 5 が堆積された後、図 8 (j) に示すように、RIE 法により、全面が異方性エッチングされて溝配線領域 6 3 及びコンタクトホール 6 4 の側壁部にのみアルミナ膜 6 5 a が残される。

【0051】かかる後、図 7 (d) (e) と同様に、CVD 法により、基板全面に銅膜が堆積され、図 8 (k) に示すように、CMP 法により、上部の銅膜が除去されることにより、上層の電極配線層 6 6 及び埋め込み接続口 6 7 が形成される。

【0052】上述したように第 2 の実施の形態によれば、第 1 の実施の形態の効果に加え、拡散障壁層の層数を低減させることができる。次に、本発明の第 3 の実施の形態に係る半導体装置について説明する。

【0053】図 9 はこの半導体装置の構成を示す断面図であり、図 1 と同一部分には同一符号を付してその詳しい説明は省略し、ここでは異なる部分についてのみ述べる。すなわち、本実施の形態装置は、第 1 の実施の形態の変形例であるが、第 1 及び第 2 の実施の形態とは異なり、基板 2 1 と略垂直な拡散障壁層 3 0 が形成された後に基板 2 1 と略平行な領域の拡散障壁層 2 9 がイオン注入により形成され、もって、下層及び上層の配線電極層 2 2, 2 6 の周囲のみに拡散障壁層 2 9, 3 0 が設けられた埋込み配線構造となっている。

【0054】次に、このような半導体装置の製造方法を図 10 乃至図 13 の工程断面図を用いて説明する。なお、以下の説明中、非晶質  $\text{TaSiN}$  膜は、下層の電極配線層に関しては基板と略平行及び略垂直な拡散障壁層

に相当し、コンタクトホール及び上層の電極配線層に関しては基板と略垂直な拡散障壁層に相当する。ニオブのイオン注入層及びアルミナ領域は、基板と略平行な拡散障壁層に相当する。

【0055】いま、図 10 (a) に示すように、トランジスタ構造の形成された半導体基板 7 1 上に  $\text{SiO}_2$  膜 7 2 が堆積され、周知の写真触刻技術及び RIE 法により、 $\text{SiO}_2$  膜 7 2 上に配線形成用の溝 7 3 が形成される。かかる後、図 10 (b) に示すように、CVD 法に

10 より、全面に非晶質  $\text{TaSiN}$  膜 7 4 が堆積される。

【0056】次に、図 10 (c) に示すように、CVD 法により、全面に銅膜 7 5 が堆積されて溝が完全に埋込まれ、図 11 (d) に示すように、CMP 法により、上面部の銅膜が除去されて下層の電極配線層 7 6 が形成される。

【0057】かかる後、図 11 (e) に示すように、基板全面に Nb イオン 7 7 が注入され、下層の電極配線層 7 6 の表面に拡散障壁層 7 7 a が形成される。続いて、図 11 (f) に示すように、 $\text{SiO}_2$  膜 7 8 が堆積される。

【0058】ここで、図 11 (g) に示すように、写真触刻法及び RIE により、上層の溝配線領域 7 9 及び下層とのコンタクトホール 8 0 が形成される。次に、図 12 (h) に示すように、CVD 法により、基板全面に非晶質  $\text{TaSiN}$  膜 8 1 が堆積された後、図 12 (i) に示すように、RIE 法により、全面が異方性エッチングされて溝配線領域 7 9 及びコンタクトホール 8 0 の側壁部にのみ非晶質  $\text{TaSiN}$  膜 8 1 a が残される。

【0059】かかる後、図 12 (j) に示すように、基板全面に A 1 イオン 8 2 が注入され、基板 7 1 と略平行な面上にアルミナ領域 8 2 a が形成される。このアルミナ領域 8 2 a は、非晶質  $\text{TaSiN}$  膜 8 1 a と同等の銅の拡散障壁性を有している。また、銅からなる下層の電極配線層 7 6 内に注入されたアルミニウムは、銅中に固溶するため、従来とは異なり、コンタクト部における抵抗は上昇しない。

【0060】続いて、図 13 (k) に示すように、CVD 法により、全面に銅膜 8 3 が堆積され、図 13 (l) に示すように、CMP 法により、上部の銅膜 8 3 及びアルミナ領域 8 2 a が除去されることにより、上層の電極配線層 8 4 が形成される。

【0061】上述したように第 3 の実施の形態によれば、第 1 の実施の形態の効果に加え、層間絶縁膜 7 2, 7 8 中に拡散障壁層を含まずに各電極配線層 7 6, 8 4 の周囲のみに拡散障壁層 7 4, 7 7 a, 8 1 a, 8 2 a を形成できるので、より一層容易且つ確実に実施することができる。

【0062】なお、上記第 1 乃至第 3 の実施の形態では、電極配線層を形成する導電性材質として銅を用いた場合を説明したが、これに限らず、電極配線層を形成す

る導電性材質として、例えば金、銀などの低抵抗金属を用いた構成としても、本発明を同様に実施して同様の効果を得ることができる。

【0063】また、各電極配線層を囲む拡散障壁層は、電極配線層の導電性材質に対して十分な拡散障壁性を有する材質であればその導電性の有無に関わらず、適宜材質を変更して使用しても、本発明を同様に実施して同様の効果を得ることができる。十分な拡散障壁性を示す拡散障壁層としては、例えばアモルファス状の金属化合物があり、TaSiC、TiSiN等の高融点金属とSi及び窒素あるいは酸素、炭素との化合物膜を用いても、同様に本発明の効果が得られることを確認済である。

【0064】また、拡散障壁層は十分な拡散障壁性を有すると共に、基板に略垂直な層と略平行な層との材質の組合せにおいて、RIEの際のエッチングの選択比が十分確保できる組合せであれば本発明に有効であり、少なくとも選択比が2以上の組合せが有効である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

#### 【0065】

【発明の効果】以上説明したように請求項1の発明によれば、各電極配線層としては、基板に略垂直な側面部と基板に略平行な側面部とが互いに異なる材質の拡散障壁層に接しているので、例えば異方性エッチングを用いることにより、コンタクト抵抗を上昇させずに低抵抗の配線材料による埋め込み配線構造を形成でき、もって、高速動作を実現できる半導体装置を提供できる。

【0066】また、請求項2の発明によれば、コンタクトホールの内部が、電極配線層と同種の導電性材質で埋込まれ、この埋め込まれた導電性材質と電極配線層との界面に拡散障壁層が存在しないので、導電性材質と下層の電極配線層とが直接接続されることにより低抵抗化を実現でき、請求項1と同様の効果を奏する半導体装置を提供できる。

【0067】さらに、請求項3の発明によれば、拡散障壁層が、基板に略垂直な層及び基板に略平行な層のうち、いずれか一方又は両方が非晶質導電体にて形成されるので、請求項1の作用と同様の作用に加え、導電性材質の絶縁膜中への拡散を阻止しつつ非晶質導電体を電極配線としても使用できるので、より低抵抗化を図り得る半導体装置を提供できる。

【0068】また、請求項4の発明によれば、第1の拡散障壁層を含む層間絶縁膜を下層の電極配線層上に形成する工程と、上層の電極配線層を埋込み形成するための溝を第1の拡散障壁層を露出させるように層間絶縁膜に形成する工程と、形成された溝と前記下層の電極配線層とを接続するためのコンタクトホールを層間絶縁膜に形成する工程と、基板の全面に第2の拡散障壁層を堆積する工程と、第2の拡散障壁層を異方的にエッチングし、第2の拡散障壁層を溝並びにコンタクトホールの夫々側

壁部にのみ残す工程と、上層の電極配線層を溝及びコンタクトホール内に埋込み形成する工程とを含んでいるので、請求項1と同様の効果に加え、容易且つ確実に実施できる半導体装置の製造方法を提供できる。

【0069】さらに、請求項5の発明によれば、下層の電極配線層上に層間絶縁膜を形成する工程と、上層の電極配線層を埋込み形成するための溝を層間絶縁膜に形成する工程と、形成された溝と上層の電極配線層とを接続するためのコンタクトホールを前記層間絶縁膜に形成する工程と、基板の全面に第1の拡散障壁層を堆積する工程と、第1の拡散障壁層を異方的にエッチングし、第1の拡散障壁層を溝並びにコンタクトホールの夫々側壁部にのみ残す工程と、層間絶縁膜の上部及び溝の底部に第2の拡散障壁層を選択的に形成する工程と、上層の電極配線層を溝及びコンタクトホール内に埋込み形成する工程とを含んでいるので、請求項1の作用と同様の作用に加え、層間絶縁膜中に拡散障壁層を含まずに各電極配線層の周囲のみに拡散障壁層を形成できるので、より一層容易且つ確実に実施できる半導体装置の製造方法を提供できる。

【0070】また、請求項6の発明によれば、第1及び第2の拡散障壁層が互いに異なる材質にて形成されるので、請求項4又は請求項5と同様の効果を奏する半導体装置の製造方法を提供できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の構成を模式的に示す断面図、

【図2】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図3】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図4】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図5】本発明の第2の実施の形態に係る半導体装置の構成を模式的に示す断面図、

【図6】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図7】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図8】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図9】本発明の第3の実施の形態に係る半導体装置の構成を模式的に示す断面図、

【図10】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図11】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図12】同実施の形態における半導体装置の製造方法を模式的に示す工程断面図、

【図13】同実施の形態における半導体装置の製造方法

を模式的に示す工程断面図。

【図14】従来の半導体装置の製造方法を模式的に示す工程断面図。

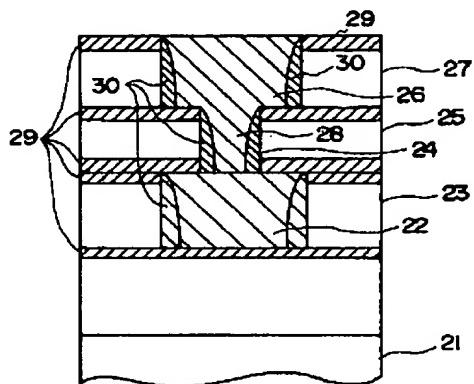
【図15】従来の半導体装置の製造方法を模式的に示す工程断面図。

【図16】従来の半導体装置の製造方法を模式的に示す工程断面図。

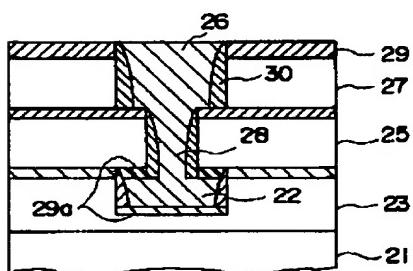
【符号の説明】

21, 31, 51, 71…半導体基板、22, 38, 5  
7, 76…下層の電極配線層、23, 25, 27…層間  
絶縁層、24, 46, 64, 80…コンタクトホール、  
26, 47, 66, 84…上層の電極配線層、28…導  
電性材質、29, 29a, 30, 58a, 77a…拡散  
障壁層、32, 34, 40, 42, 52, 59, 61,  
72, 78…SiO<sub>2</sub>膜、33, 35, 39, 41, 4  
3, 55, 55a, 60, 62…シリコン窒化膜、3  
6, 45, 73…溝、37, 37a, 44, 44a…W  
SiN膜、53, 82…アルミニウムイオン、54, 6  
5a…アルミナ膜、56, 75, 83…銅膜、58, 7  
7…ニオブイオン、63, 79…溝配線領域、67…埋  
込み接続口、74, 81, 81a…非晶質TaSiN  
膜、82a…アルミナ領域。

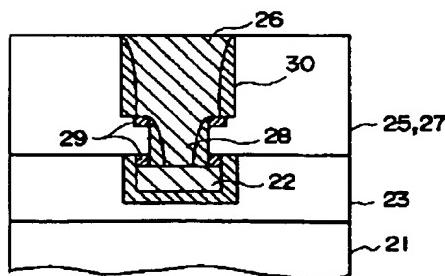
【図1】



【図5】

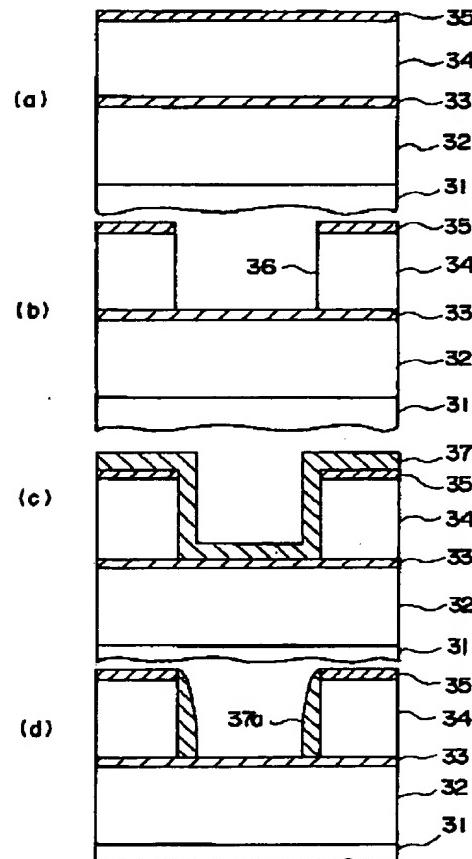


【図9】

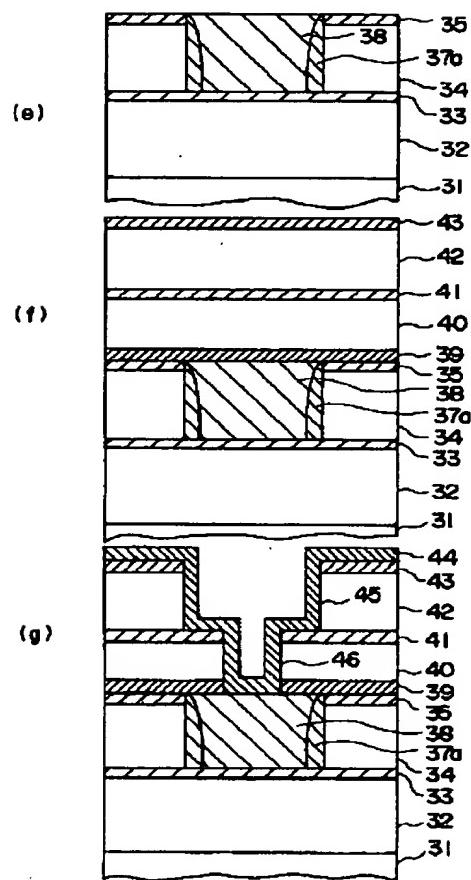


10 26, 47, 66, 84…上層の電極配線層、28…導  
電性材質、29, 29a, 30, 58a, 77a…拡散  
障壁層、32, 34, 40, 42, 52, 59, 61,  
72, 78…SiO<sub>2</sub>膜、33, 35, 39, 41, 4  
3, 55, 55a, 60, 62…シリコン窒化膜、3  
6, 45, 73…溝、37, 37a, 44, 44a…W  
SiN膜、53, 82…アルミニウムイオン、54, 6  
5a…アルミナ膜、56, 75, 83…銅膜、58, 7  
7…ニオブイオン、63, 79…溝配線領域、67…埋  
込み接続口、74, 81, 81a…非晶質TaSiN  
膜、82a…アルミナ領域。

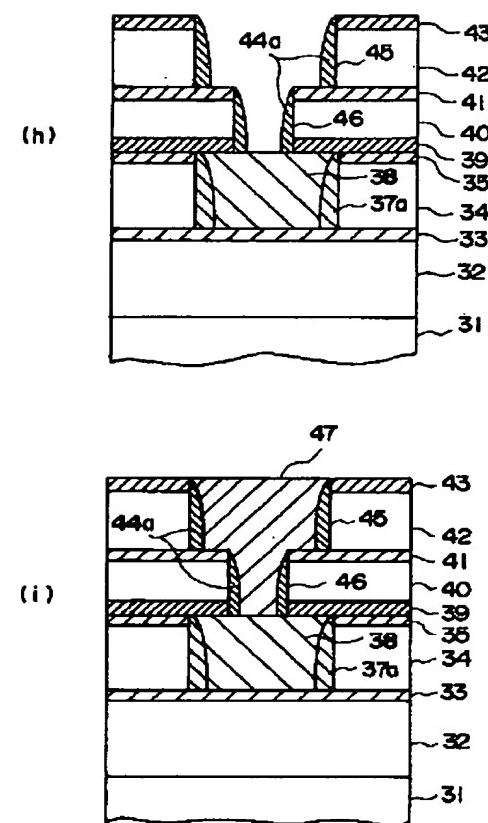
【図2】



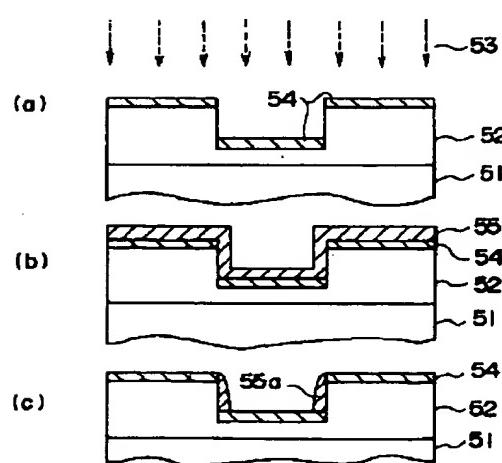
【図3】



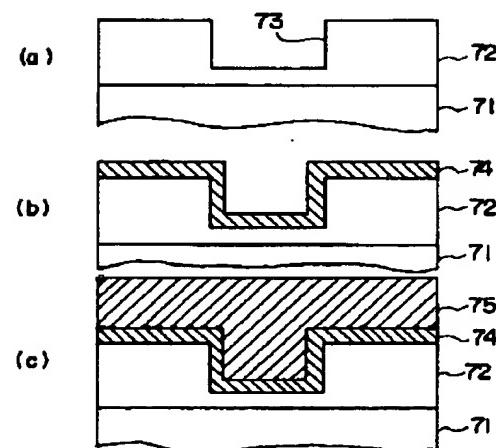
【図4】



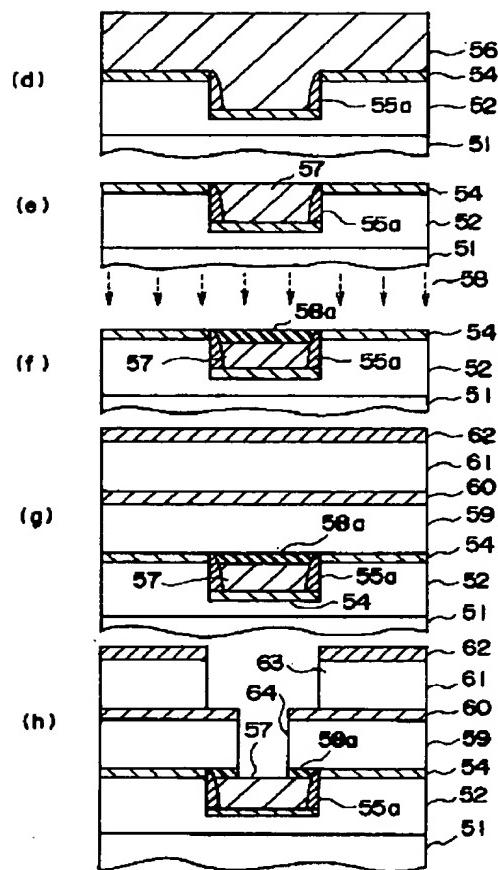
【図6】



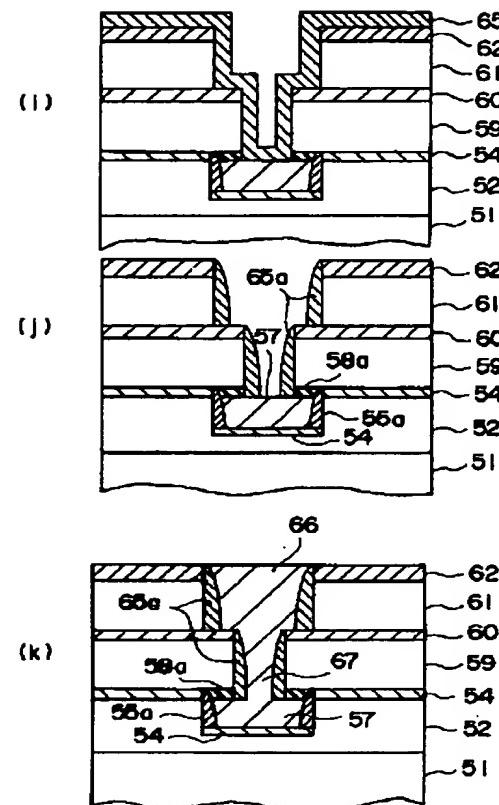
【図10】



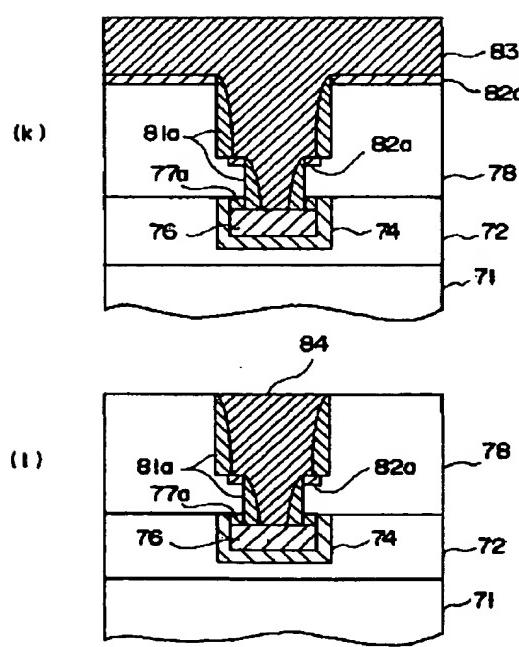
【図7】



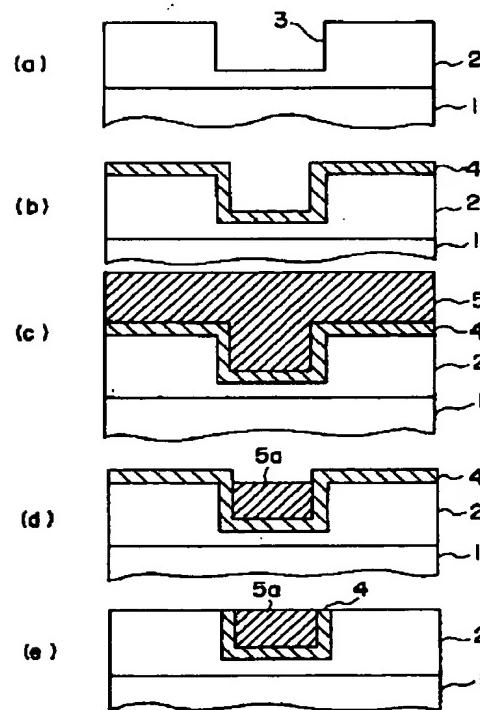
【図8】



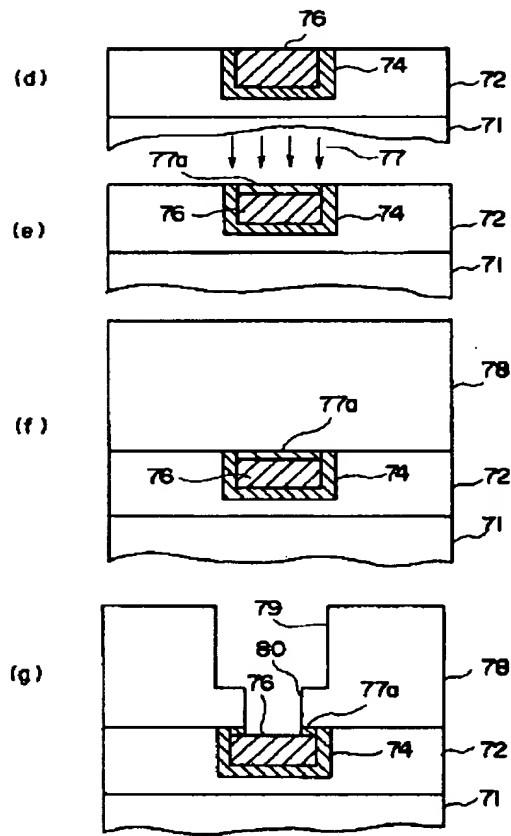
【図13】



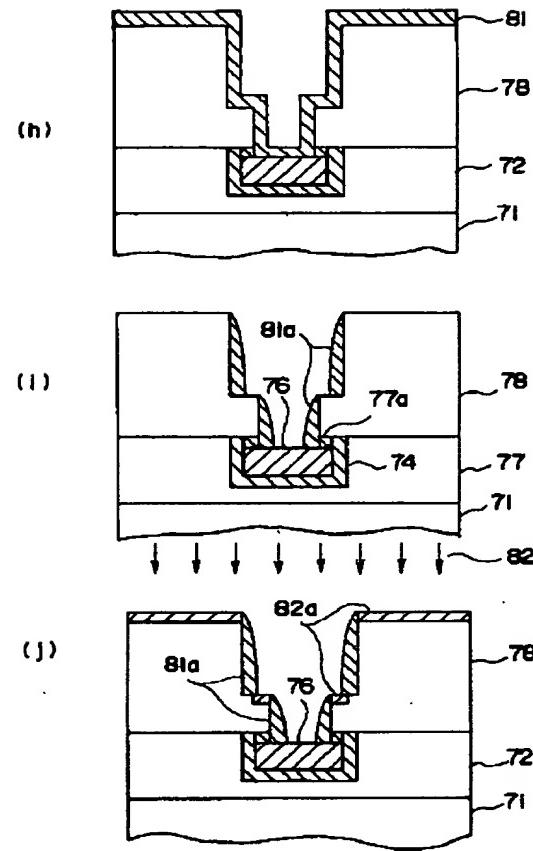
【図14】



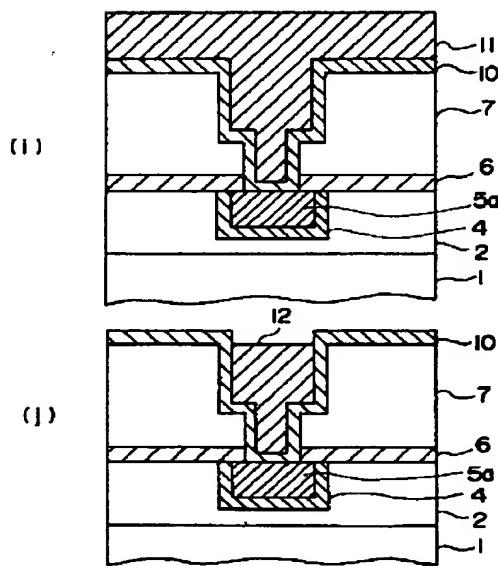
【図11】



【図12】



【図16】



【図15】

